



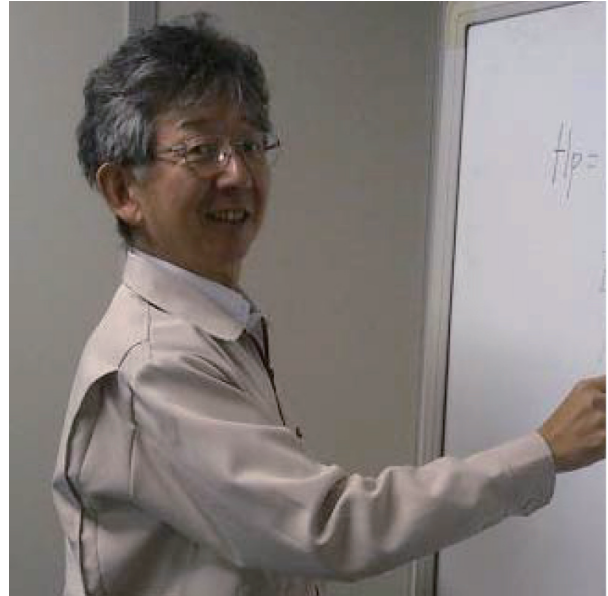
<第9回>

自己組織化リソグラフィ ～より高性能で低コストな半導体の実現を目指して～

株式会社 東芝セミコンダクター & ストレージ社
 半導体研究開発センターリソグラフィプロセス技術開発部部長 東木 達彦氏に聞く

東芝グループ（以下東芝）は、nano tech 2013 第12回国際ナノテクノロジー総合展・技術会議で IT・エレクトロニクス部門賞を受賞した。受賞理由は「ストレージとエネルギー分野などの次世代ナノテクノロジーを紹介、（一部省略）、日本を代表する IT・エレクトロニクス企業のレベルの高さを賞す」である。展示品の中に、最先端の 19nm 微細化プロセス技術による NAND 型フラッシュメモリと 10nm 低コスト微細パターン形成に向けた自己組織化リソグラフィ技術があり注目を集めた。リソグラフィ技術はこれまで半導体デバイスの微細化要求に対応して発展を続けてきたが、主流である光リソグラフィによる微細化が理論限界を迎えており、更なる微細化と低コスト化の要求に応えるため次世代リソグラフィ技術へのパラダイムシフトが求められている。塗布・アニール・現像のみでパターンニング可能な自己組織化リソグラフィ（Directed Self-Assembly, DSA）はこれに応える有力な技術である。

今回、東芝でリソグラフィプロセス開発を統括しておられるリソグラフィプロセス技術開発部部長 東木 達彦（ひがしき たつひこ）氏を川崎市にある半導体研究開発センターに訪ね、研究開発の背景、技術内容、特徴および今後の展開等について伺いました。



株式会社 東芝セミコンダクター & ストレージ社
 半導体研究開発センター
 リソグラフィプロセス技術開発部部長 東木 達彦氏



1. 東芝の事業ビジョンと半導体事業

はじめに東芝の事業ビジョンおよび半導体事業の位置付けとその進め方について伺いました。

1.1 スマートコミュニティ事業とトータル・ストレージ・イノベーションの推進

東芝は今後の成長事業としてスマートコミュニティ事業をグローバルに展開している（図1）。電力、水、交通、物流、医療、情報などあらゆる社会インフラの総合的な管理と最適制御を行うものである。これを実現するため2つのコンセプトを掲げ注力している。「トータル・ストレージ・イノベーション」と「トータル・エネルギー・イノベ-

ション」である。

本稿のリソグラフィに深く関係する「トータル・ストレージ・イノベーション」は“ビッグデータを効率よく保存し、必要に応じて出力し適切に処理する機能”を目指す。2012年に1.8ZB（ツェータバイト、1ZB = 10²¹Byte）であったデータ量が2020年には40ZBへと増大する情報爆発に備えるものである。

東芝は、HDD（Hard Disk Drive、磁気記憶装置）、SSD（Solid State Drive、半導体メモリ記憶装置）、NAND型フラッシュメモリを併せ持つ唯一の企業であり、この強みを生かし多様化するストレージ需要に応じて、先端技術を適用した高品質・差別化製品を供給していき、「トータル・ストレージ・イノベーション」を進め、統合ストレージ業界におけるリーディング企業となることを目指している。



図1 スマートコミュニティ事業とそれを支える半導体製品 (提供：東芝)

1.2 半導体産業におけるビジネスモデルの変遷と東芝の半導体事業戦略

1) ビジネスモデルの変遷

過去、日本の半導体事業は、ほとんどが開発・設計・調達・生産の総てを自社内で行い、販売を海外に求めるいわゆる垂直統合型であった。現在ではグローバル化の進展による厳しい価格競争を生き抜くために、開発・設計は自社内で行うが調達・生産を海外に依存するいわゆる水平型に変貌した。そして一時期、「垂直型はガラパゴス化であり経営スタイルとして好ましくない」との風潮があり、この流れに多くの企業に乗って、日本は大切な技術を失うような事態もあった。しかしこのような業界全体の動きの中であって、東芝は必要などころは関連企業と連携・協業を行うものの基本的には垂直統合型を堅持し、これを強みとしている。これからもこの姿勢を基本にしながらも、垂直型アライアンスと水平型アライアンスのバランスをとり事業展開していく考えである。

2) NAND フラッシュメモリ開発戦略

東芝の半導体事業は、①メモリーストレージ製品 (NAND, SSD, HDD)、②ディスクリット製品 (LED, センサー, パワー半導体)、③ロジック製品の三本柱から成っている。中でも主力とする NAND フラッシュメモリの開発戦略についてお伺いした。

半導体不揮発性メモリのフラッシュメモリにおいて、NAND型は大容量化に適するとされている。東芝の NAND フラッシュメモリの開発戦略においては、微細化技術先行・付加価値創造・生産能力拡大・ビジネスリレーションシップがキーワードであるとのこと。

微細化技術先行では、実績豊富な FG (Floating Gate)

NAND 技術の微細化をさらに進め大容量チップの早期量産化を実現していく。微細化はまだ限界ではないと考え追求する。一方、BiCS (Bit Cost Scalable) 技術や ReRAM (Resistance Random Access Memory) 等の次世代メモリ技術の並行開発も推進する (図2)。

付加価値創造では、多段 (16 段メモリ) 小型化パッケージの充実、高速 NAND インターフェース対応等による高スループット・高信頼性の達成等を目指す。

生産能力拡大では、積極投資による優位性の維持、量産、開発クリーンルームの四日市工場集中を計る。半導体の研究開発部門も 2012 年に四日市市に移った。ただし、リソグラフィの今後の進化はマスク技術の進化が牽引する。従って、川崎市にマスクリソグラフィ先端開発部門を一部残したため、東木氏は川崎に勤務している。

ビジネスリレーションシップでは、重要顧客との緊密な協力関係を構築、開発時点からの協業と最適な Solution を行っていく。

これ等を推進し NAND を進化させることによって、図3に示すように、成長の S 字カーブを重ねて新市場を拡大し、情報爆発による新市場の創出を目指している。

2. リソグラフィ技術の現状と今後の方向

「リソグラフィ技術は、マスク原版に描画された半導体デバイスの回路パターンを、シリコンウエハに転写する技術である。今まで、半導体デバイスの微細化要求に対応して発展を続け、その進歩を支えてきたが、今後もこの技術の革新は不可欠である。しかし、主流であった光リソグラフィによる微細化が理論限界を迎えており、半導体デ

Memory開発(予想)

実績豊富なFloating Gate (FG) NANDの微細化を他社に先駆けさらに加速。次世代大容量メモリ技術を並行開発し、シームレスな移行計画を実現。

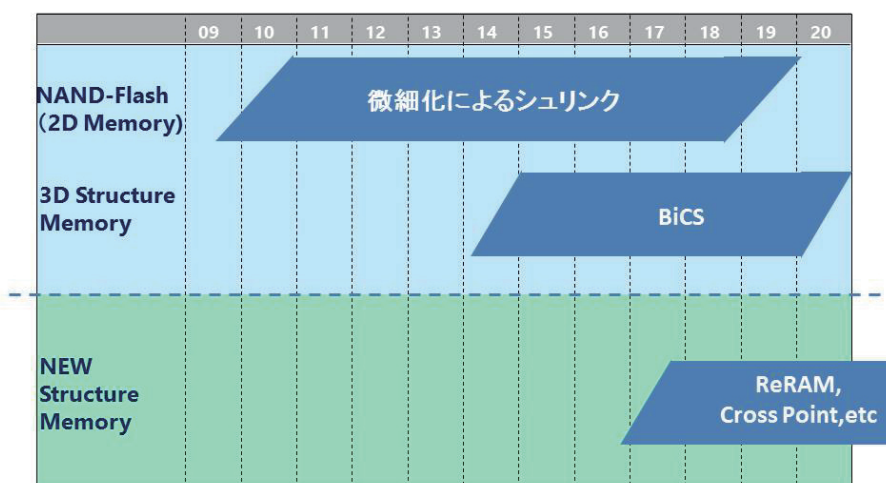


図2 東芝メモリーのロードマップ (提供: 東芝)

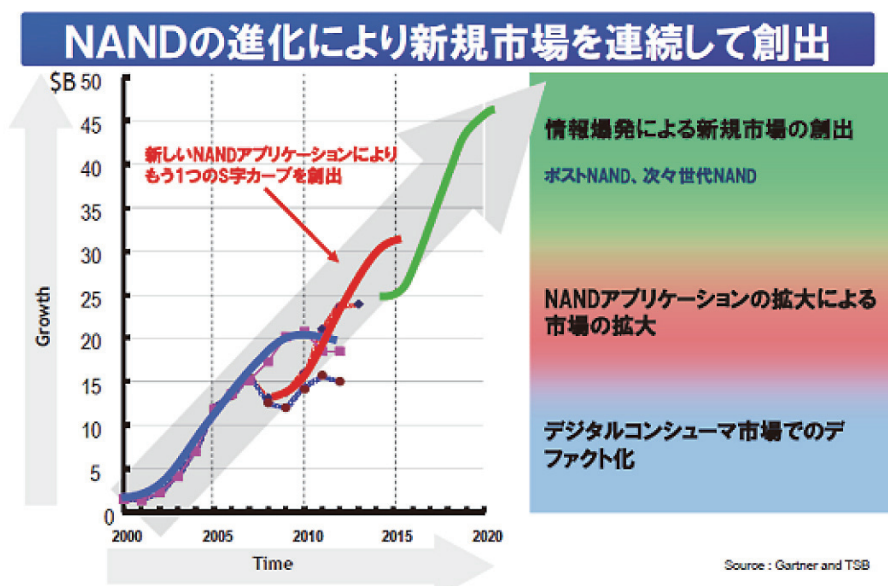


図3 NAND市場の拡大 (提供: 東芝)

バイスのさらなる微細化と低コスト化の要求に応えるため、次世代のリソグラフィ技術のパラダイムシフトが起こっている。東芝は、世界一の技術を目指し、設計から製造までの総てを担う垂直統合型企業の強みを生かして、露光装置、マスク、トラック、OPC (Optical Proximity Correction: 光近接効果補正)、及びDFM (Design for Manufacturability: 製造容易性設計) など各種要素技術の深掘りだけでなく、それらを統合した総合最適化技術の開発を推進している」と東木氏は東芝レビューで述べられている [1]。

自己組織化リソグラフィ技術に入る前の予備知識としてこれまでの光リソグラフィ技術を、上記論文から抜粋して概説しておく。

2.1 リソグラフィ技術の現状

半導体デバイスの製造プロセスではシリコンウェーハ上の半導体材料を加工する場合、図4に示すように、まず塗布したレジストに回路パターンを形成する。その後、エッチングプロセスでレジストを除去し、ウェーハ上に目的の回路パターンを形成する。リソグラフィプロセスは露光プロセス、これに用いるマスクの製造プロセス、さらにマスク製造に必要なマスク設計データ補正プロセスで構成される。

露光プロセスは半導体デバイスを製造するのに必要な超微細な回路パターンをマスク原版に描き、マスクに紫外光

を照射し、シリコンウェーハ上のレジストにステップアンドレピートして縮小投影露光する縮小投影露光装置で構成される。

マスク製造プロセスは、マスクパターン作成プロセスとマスク保証プロセスに分かれる。マスクパターン作成プロセスでは、マスクデータを電子ビーム描画装置に入力することによってマスク上のレジストにパターンを描画し、エッチングおよび洗浄プロセスを経てマスクパターンを形成する。マスク保証プロセスは、マスクパターンの寸法と位置の測定、及び欠陥検査が行われ、不良のあるパターンに対して修正が施される。

マスクデータ補正プロセス：図5に示すように、デバイスパターンの微細化が進むと、レジスト上のパターンのコントラストが低下し、このためデバイスパターンの形状に依存してウェーハ上での光の干渉が変化してしまい、目的とするパターンが形成出来なくなる。この誤差は、光学原理に基づ

いたシミュレーションを行うことで予測できる。デバイスパターンの形状誤差を補正する量をあらかじめシミュレーションし、その補正值をマスクデータとして加工してやればよい。この一連の補正行為が OPC (Optical Proximity Correction) である。東芝では、独自の OPC 計算システムの開発と、そのシステム上に計算の高速化や高精度化など新たなモジュールを構築する計算機リソグラフィ技術で、世界の先駆けとして半導体デバイスの製造技術の向上に貢献している。

2.2 リソグラフィ技術の変遷

1985 年頃、1 μm 以下の加工は X 線と言われ、半導体の微細加工などは行き詰まってすぐに終わると言われた。しかし、その後微細化は現在まで 28 年続いている。今日ではサブ 20nm のパターンで勝負するデバイスやサブ 10nm の微細加工プロセスの発表も出てきている。

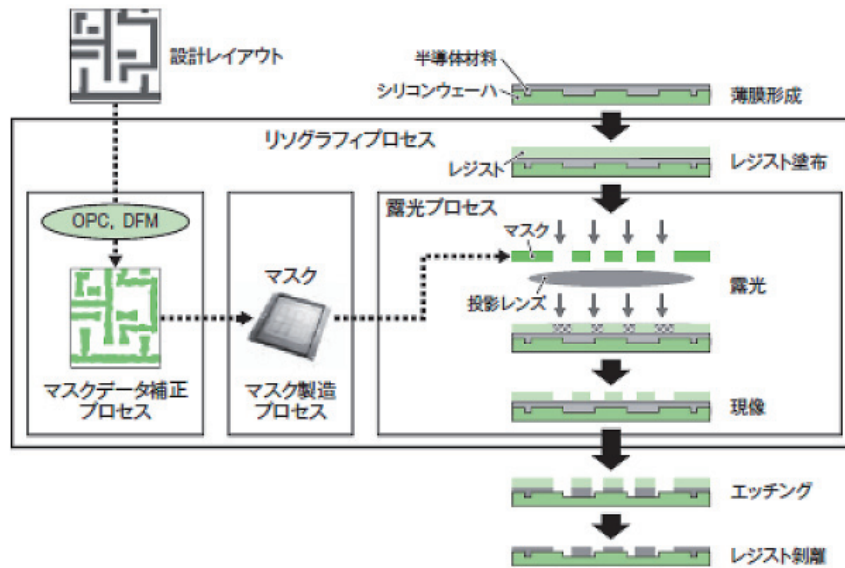


図4 半導体デバイス製造におけるリソグラフィプロセスの位置づけ (提供：東芝)

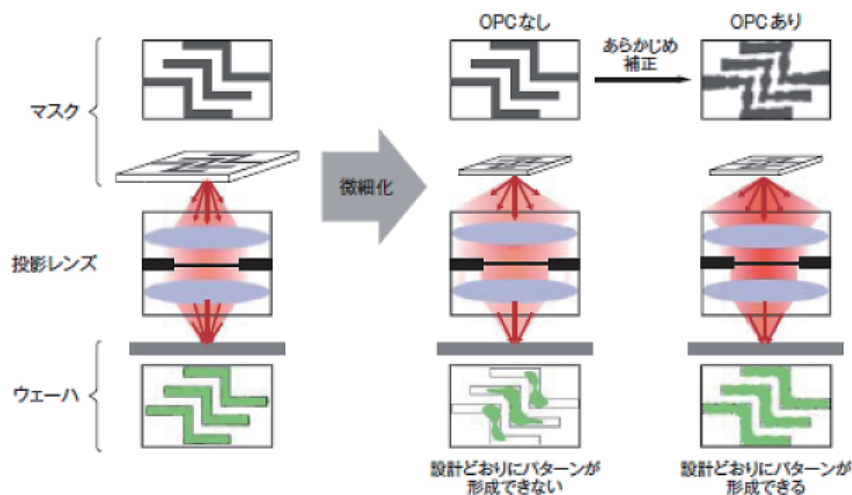


図5 OPC (Optical Proximity Correction) のフロー (提供：東芝)

図6にリソグラフィ技術の変遷を示す。密着露光に次いで、光ステップによる縮小投影露光が導入された。光源も水銀のスペクトルg線(436nm), i線(365nm)からエキシマのKrF(248nm), ArF(193nm)へと進んだ。一方、レジストではノボラックレジストから化学増幅レジストが導入された。レンズでは、開口比N/Aを大きくした。超解像度手法として光近接補正(OPC)が導入され、さらに超微細化するためArF露光を屈折率の高い液中で行う液浸(immersion)露光になった。さらにこれに続くものとして、EUV(Extreme Ultra Violet, 波長13.5nm)が期待されたが光源の開発が遅れており、間を埋めるものとして、露光を反復して解像度を高めるダブルパターンになった。ArF液浸で2004年に40nmが可能になり、ダブルパ

ターンニングで20nmの加工が可能となった。それ以下にするにはダブルパターンニングの繰返しで1/4, 1/8に微細化する。ダブルパターンニングで20nmになったものをスリミングで1/2にすることは出来るが、数百工程を要し、これがコストを高める要因となっている。

以上の進化の過程ひとつひとつに対し、開発着手時には、そんなものは実現不可能と言われた。例えば、液浸露光開発開始時には、腐食の元になる水を半導体プロセスに使用するなどナンセンスといわれたが、課題を克服し2004年からは標準プロセスとして定着するまでになった。このようにその他についても、一つ一つの課題をクリアし今日の安定したプロセス技術に仕上がっている。

図7に東芝で達成している最小寸法幅19nmのパター

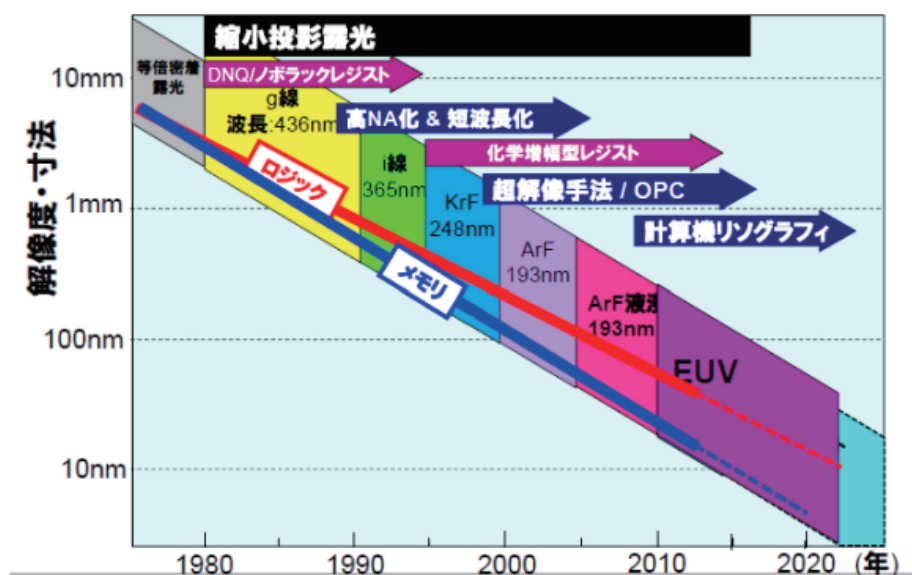


図6 リソグラフィの変遷 (提供: 東芝)

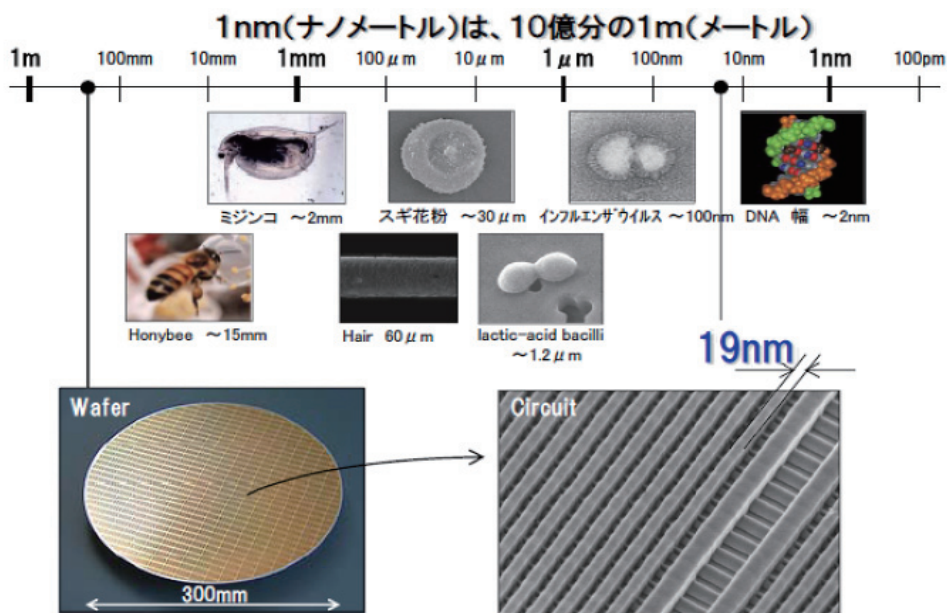


図7 最小寸法幅 (提供: 東芝)

ンを示す。この技術は NAND の量産に適用されている。インフルエンザウィルスは 100nm, DNA は 2nm, 半導体加工の 19nm はその中間にある。

2.3 リソグラフィ技術の今後の方向

光露光装置の解像度限界を打破し、またダブルパターンニングでの複数露光によるプロセス工程の増大を避けるためにシングル露光が求められている。これを実現するものとして、露光光に波長 13.5nm の極端紫外線 (EUV: Extreme Ultra Violet, 軟 X 線の領域) を用いた EUV 露光技術 (マスクとレジスト) の開発が、株式会社 EUVL 基盤開発センター (EIDEC: EUVL Infrastructure Development Center, Inc.) で進められている。コンソーシアム企業であり、東芝、東京応化工業など国内の株主企業 11 社、Sandisk, Intel, Samsung など共同研究海外企業 5 社、共同研究国内企業 2 社、国内 3 共同研究機関から成る [2]。東芝をはじめとする半導体企業にとって、EIDEC は EUV 露光技術のプラットフォームとして大切な役割を担っている。

装置の基本要素は従来の光露光装置と同じであるが、波長 13.5nm (軟 X 線) の光を透過する材料はないのでレンズは出来ない。このため、EUV の光学系はすべてミラーで構成する。マスクも光を Mo-Si の多層膜で反射する反射型になる。

一方、さらなる微細化の困難さから、製造コストの高騰という問題に直面している。そのため、今までの微細化一辺倒の開発から低コストリソグラフィへのパラダイムシフトが求められており、このトレンドに対応するた

めの研究開発が世界的に活発となっている。低コスト化にシフトするための次世代リソグラフィ技術の候補として、本稿の主題である“自己組織化 (DSA: Directed Self Assembly) リソグラフィ”やナノインプリントドリソグラフィなどが模索されている。DSA は従来の光リソグラフィや上記の EUV に対抗するものではなく、後述するように互いに補完しあうものである (図 8)。DSA は今年から上記 EIDEC でも取り上げられている。また、DSA は長期ビジョンの開発課題として ITRS (International Technology Roadmap for Semiconductors) にも今年から記載されている。



3. 自己組織化リソグラフィ技術の開発

東芝における DSA の研究は、2002 年に研究開発部門の浅川氏らの発表“ナノテクノロジー テラビット磁気記録媒体を実現する新しいナノ加工技術”が世に出た初めてのもののようである [3]。この題名からわかるように HDD のパターンドメディアの実現を狙っていたものであり、IBM もやっていた。しかし、パターンドメディアは低コストの代替技術で実現出来るようになったため、DSA は今もって量産に至っていない。

東木氏は 2005 年ごろ学会で DSA によるラインパターンの縮小の発表を聞いた。きれいに整列しており、これは捨て置けない、半導体に応用できると直感しある種の衝撃を受けたとのことである。当時半導体関係者は DSA を信用していなかったが、その後の IBM やその他で今はブームになっている [11][12][13][14][15]。日本はそのトップ

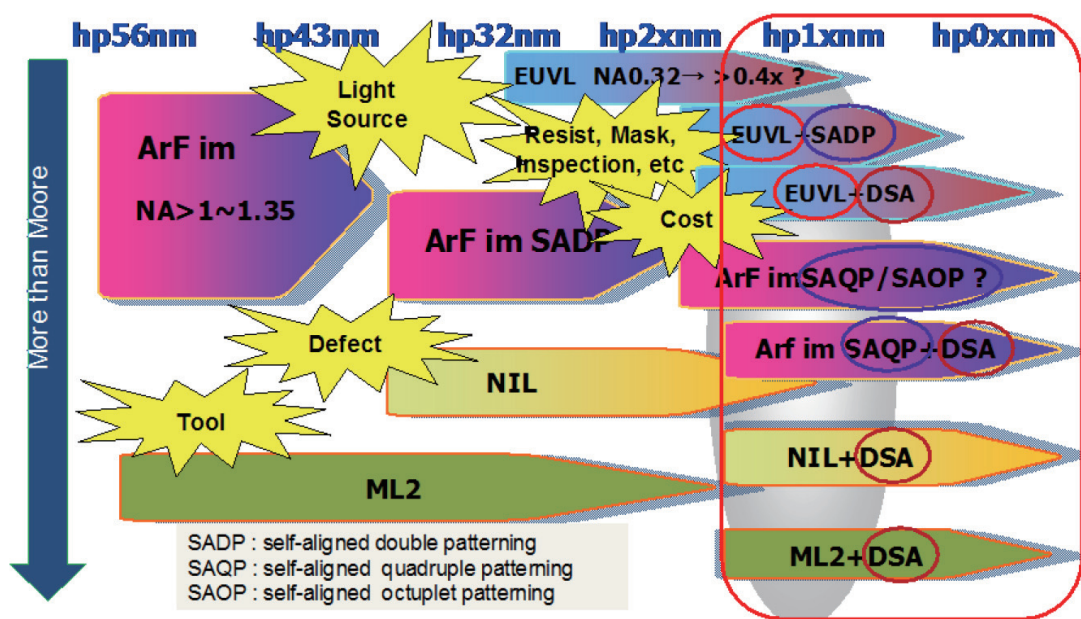


図 8 リソグラフィ技術の今後の方向 (提供: 東芝)
(hp: half pitch, NIL: Normalized Image Long slope, im: immersion, ML2: Mask Less Lithography)

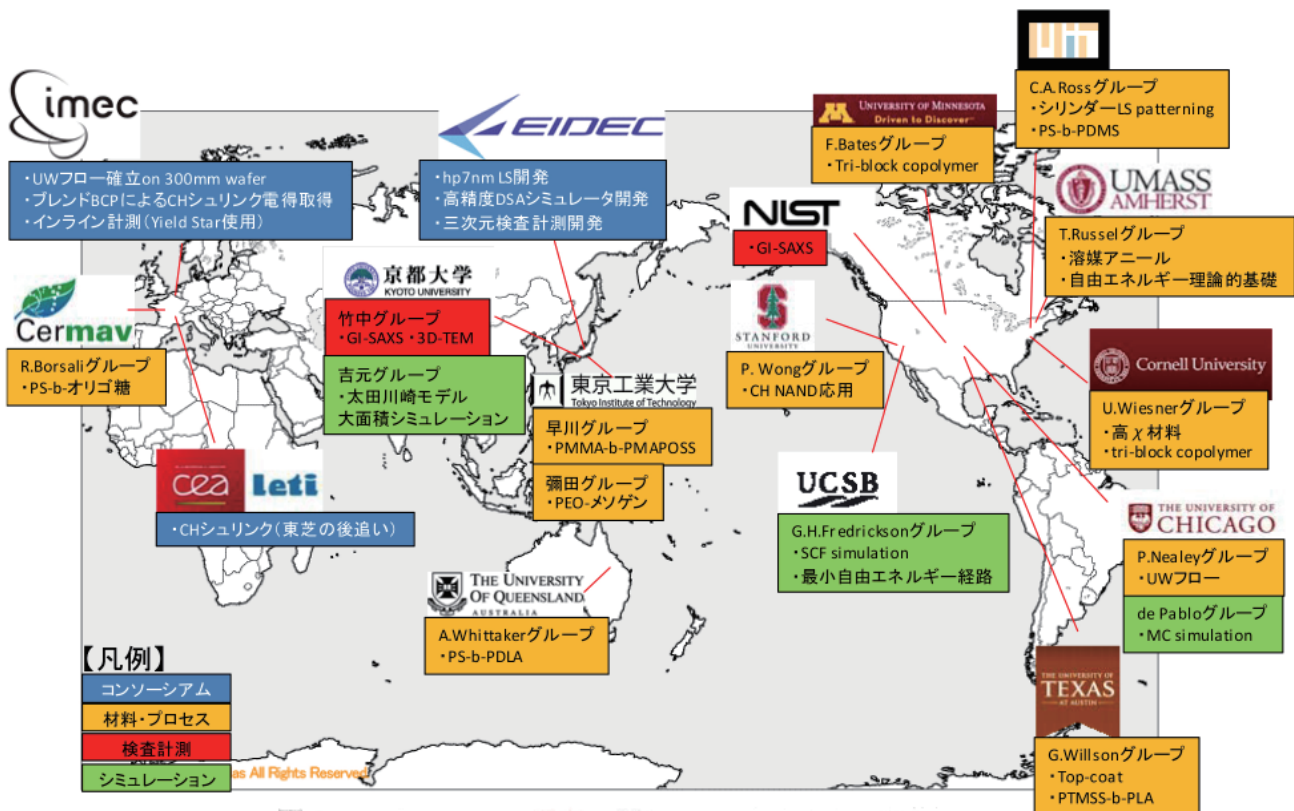


図9 世界の DSA 研究・開発マップ (提供: 東芝)

を走っているわけではない。世界の研究状況を図9に示す。
 東芝では、上記浅川氏ら、及び東芝レビューにわかりやすい解説論文を発表している木原氏 [4] らの先駆けの研究、他がある [5][6][7][8][9][10]。また、直近では森田氏の2013年7月のNGL(次世代リソグラフィ) Workshopでの発表等がある [16]。

3.1 自己組織化リソグラフィ技術の基本と特徴

はじめに DSA の基本的事項を木原氏の東芝レビュー掲載論文 [4] を引用して以下に概説する。

自然界に存在するナノメートルレベルのパターンに目を向けると、自己組織化という現象がある。自己組織化材料の一つであるジブロックコポリマーは、2種類のポリマーが化学的に結合した高分子で、二つのポリマーの相溶性が低い場合、ポリマー間の反発によりミクロな領域で相分離し、熱処理などにより規則的な周期構造を形成する。そしてエッチングにより一方のポリマー成分だけを選択的に除去することで、基板に微細加工を施すためのレジストとして用いることができる。

代表的なジブロックコポリマーの一つであるポリスチレン-ポリメチルメタクリレート (PS-PMMA: Polystyrene-Polymethylmethacrylate) を用いて形成した自己組織化パターンの形成過程と原子間力顕微鏡 (AFM) 像を図10に示す。図10(c)に見られるように形成され

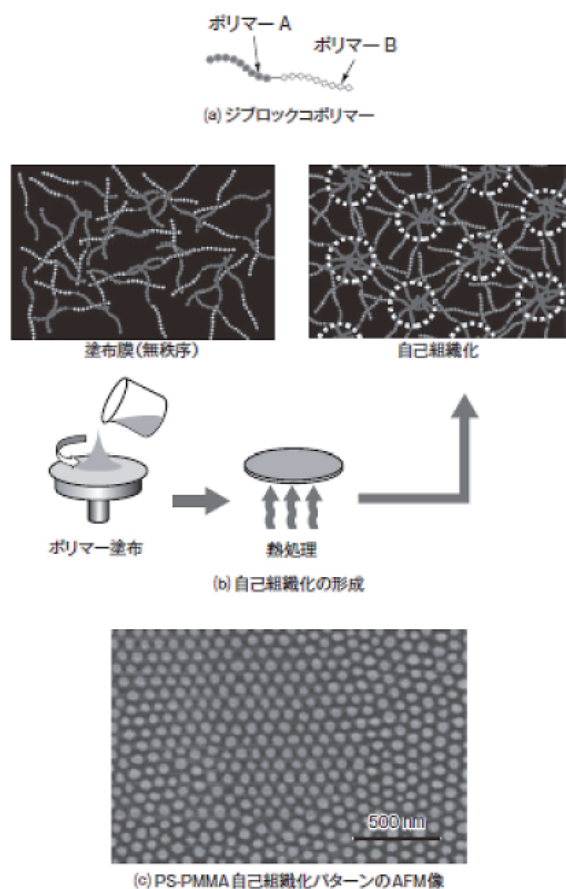


図10 ジブロックコポリマーの相分離イメージ (提供: 東芝)

た相分離構造は規則的な繰返しパターンである。

この相分離構造は、図 11 に示すように二つのポリマーの組成比により、スフィア、シリンダ、ラメラ等の特異的な形状を呈する。またその繰返しのサイズは分子量に依存するため、目標のサイズや形状にポリマー材料を合わせる事が可能である。

図 12 に示すようにジブロックコポリマーの薄膜を基板に塗布し、一方のポリマーを除去して凹凸構造を基板表面に形成し、それをエッチングテンプレートとすることで基板にホールやラインのパターンを転写できる。これが、自己組織化リソグラフィの基本である。基板に塗布するだけで大面積に微細ピッチの繰返し構造を形成出来る事が自己組織化の特徴である。

一方、半導体デバイスは精密に設計された電子デバイスであるため、自然現象を人工的デザインへとどのように応用するかという課題がある。そこであらかじめ基板

にラインやホールの方向や位置を示すプレパターンを従来の光リソグラフィで形成しておく必要がある。この意味で自己組織化リソグラフィは、前述したように従来技術またはこれからの EUV リソグラフィ技術と補完しあうものである。

3.2 物理ガイド

物理ガイドは基板にレジストで凹凸状のガイドを作成し、ガイドに沿って自己組織化の成立を促す技術である。16nm ピッチのシリンダーに相分離するジブロックコポリマー材料を用いた場合、物理ガイドがない場合は指紋状に無秩序に相分離する(図 13 (a))が、光リソグラフィで形成したレジストパターンでガイドを形成しておく、ガイドに沿って規則的に配列し、ガイド溝幅の数分の 1 のラインを形成出来ることを示している(図 13 (b))。

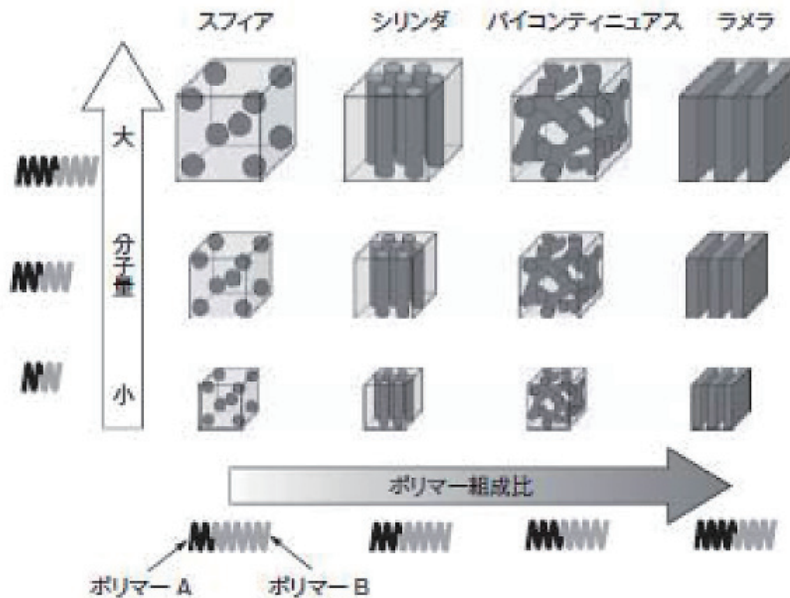


図 11 ポリマー分子量と組成による相分離形状の変化 (提供：東芝)

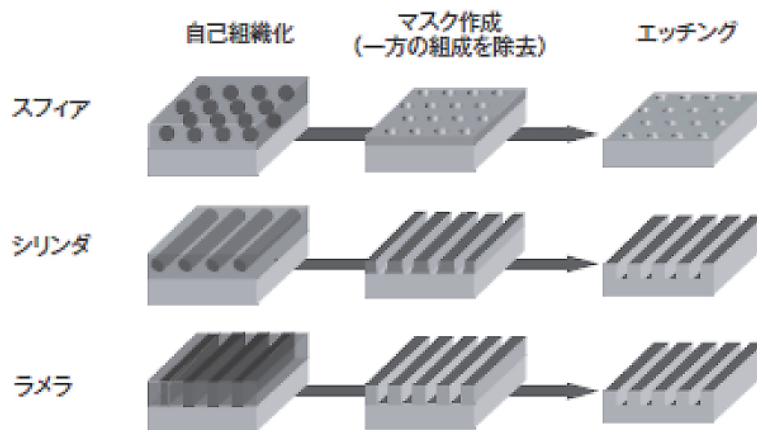


図 12 ジブロックコポリマーパターンによるリソグラフィ (提供：東芝)

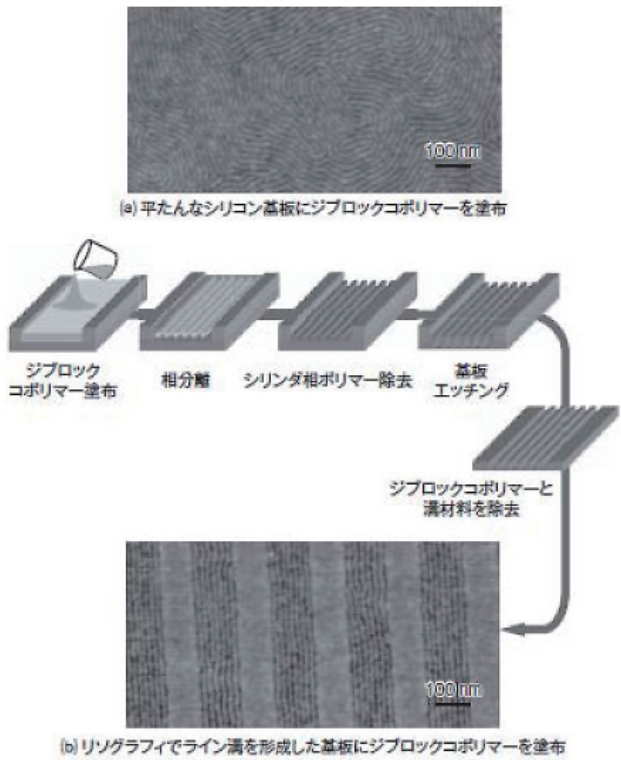


図 13 物理ガイドによるシリンダーパターンの整列 (提供：東芝)

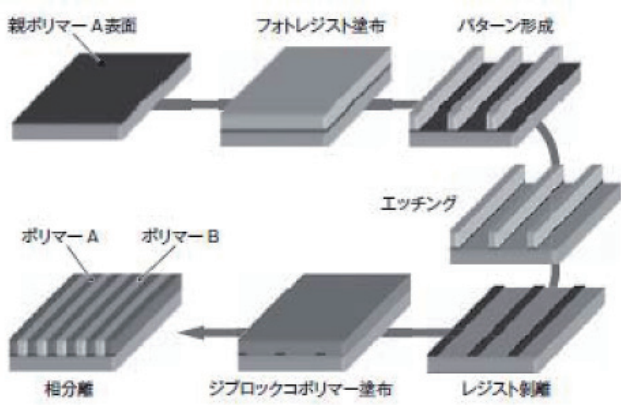


図 14 化学ガイドによるラインピッチの微細化 (提供：東芝)

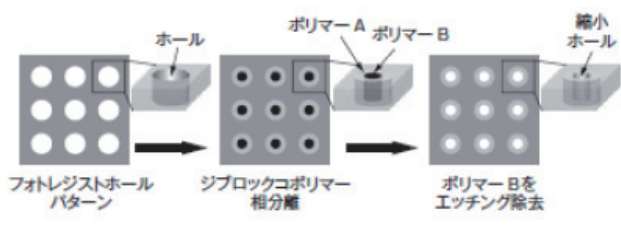


図 15 DSA によるホール縮小イメージ (提供：東芝)

3.3 化学ガイド

ジブロックコポリマーが性質の異なる二つのポリマーから成ることを利用して、基板の上に一方のポリマーに親和性の高いエリアを作成し整列のガイドとする方法である。図 14 は、ラメラに相分離するジブロックコポリマーによりラインパターンを形成するプロセスイメージである。基板表面に、ポリマー A と親和性の高い膜を形成し、その膜を光リソグラフィによって一部削除することで、ポリマー A に局所的に親和性のあるプレパターンを形成することができる。この基板にラメラに相分離するジブロックコポリマーを塗布すると、光リソグラフィで作成された親和性の高いエリアにジブロックコポリマーのポリマー A がピン止めされるため、基板に形成されたプレパターンに従いラメラ構造が整列したパターンができる。物理ガイドの場合と同様、ガイド溝幅の数分の 1 のラインを形成出来ることを示している。

3.4 パターンの縮小

半導体デバイスの基本形状の一つであるコンタクトホールの直径を、DSA を用いて縮小するプロセスを図 15 に示す。光リソグラフィで形成したレジストホールにジブロックコポリマーを塗布し熱処理をすると、レジスト材料と親和性の高い組成 (図ではポリマー A) が壁面に、親和性の低いポリマー B が中央部に相分離する。ポリマー B のエッチング耐性が低いと、エッチングによりポリマー B が選択的に取り除かれ光リソグラフィで形成したコンタクトホールより直径の小さなホールが形成される。図 16 は、直径 300nm ウェーハ全面にこの技術を適用した一例である。72.1nm のコンタクトホールを 28.5nm に縮小出来ている。ばらつきも小さい。

3.5 DSA の課題と今後の展開

以上述べてきたように DSA は、従来リソグラフィでガイドパターンを形成し、その上にジブロックコポリマーを塗布・加熱・エッチングするだけでガイドパターンの数分の 1 の規則正しいパターンを形成できる技術である。半導体産業が求めているより微細なパターンを生産性よくローコストで実現する技術にかなうものであり、半導体事業にパラダイムシフトを起こさせるポテンシャルを持つものといえよう。また、若干飛躍するがトリブロックコポリマーを用いれば三次元の規則正しいパターン形成も追及可能であろう。

このように夢多いものであるが、DSA を実用化するためにはどのような課題があるのかについて伺いました。

図 16 に示したコンタクトホールの縮小については実用化の域に達しているが、その他のものについては克服すべき課題が多くある。図 17 に示すように、DSA プ

プロセスは、① DSA としての OPC (Optimum Proximity Correction、前述の Optical Proximity Correction とは異なる)、② DfM (Design for Manufacturability)、③ APC (Advanced Process Control) で構成されるが、これら一つ一つに、光リソグラフィで行ったと同様の検討すべき課題がある。

例えば DSA 材料のシミュレーションには、nm サイズのパターンを形成するのであるから、分子の大きさ、散逸力、反発力、スプリング力、ブラウン運動等を考慮しなければならない。厳密には、量子力学 (シュレディンガー方程式) を用いて分子の挙動を知りそして制御する必要がある。図 18 はこのシミュレーションの精度と計算速度の関係を示

したものである。10 μm^2 の領域をシミュレートする場合、現在の計算レベルでは数年の時間を要すると見られている。少し精度を落として、ブラウン運動をはじめとする種々の作用する力を近似しニュートン運動方程式にするソフトウェアを開発することによって、10 μm^2 の領域を 5 時間で出来るようになっている。東芝では、DSA 実用化のためには、精度を落とすことなく 10 μm^2 の領域を 1 分以内に計算できねばならないと考え、この計算に必要なハードウェア、ソフトウェアの開発を進めている。

以上、DSA をとりまくインフラ、個々の技術確立に関し多くの課題があるが、すぐに行き詰るといわれながらも光リソグラフィを今日の実用生産技術に仕上げ 19nm

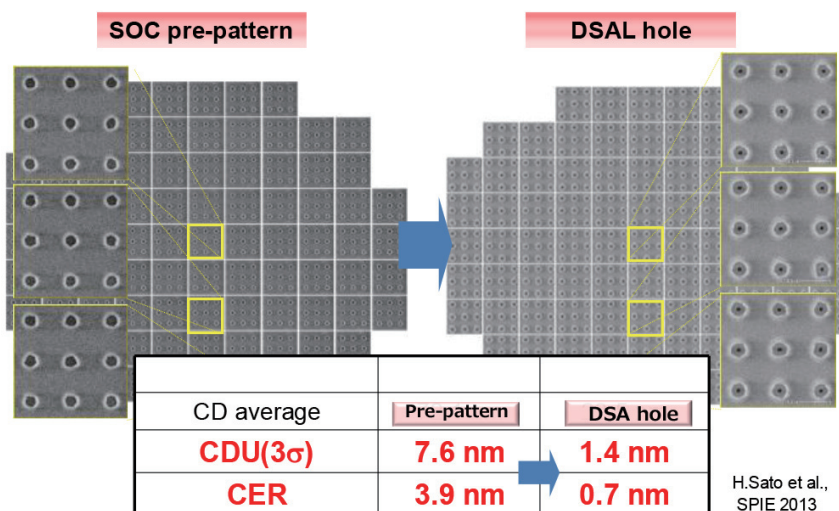


図 16 DSA によるホール縮小：直径 300mm シリコンウェーハに適用 (提供：東芝)
(SOC: Spin On Carbon, CD: Critical Dimension, CDU: Critical Dimension Uniformity, CER: Contact Edge Roughness)

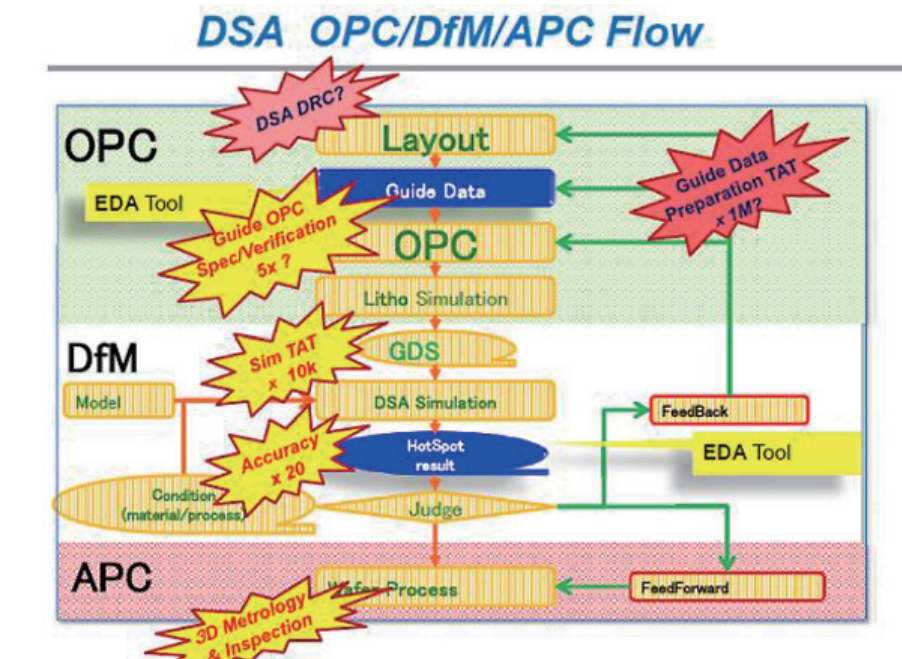


図 17 実用化に向けて解決すべき DSA の課題 (提供：東芝)
(EDA: Electronic Design System, GDS: Graphic Design System)

hp パターンの NAND の量産を可能にしてきたように、先述の EIDEC をはじめ大学、国公立研究機関、材料・装置メーカー等々と連携して、一つ一つ克服していく意欲を東木氏は語られた。



4. おわりに

最後に、これまで築き上げてきたリソグラフィ技術、および DSA 技術を組み合わせる開発される更なる高精度超微細化リソグラフィ技術で、今後どのように事業展開していくのかについて伺いました。

当面は、半導体分野については予測される路線に沿って技術開発をすることによって社会ニーズに対応し市場規模を拡大して行く。また、半導体以外にも世の中にはパターン形成を必要とするものは多く、パターンングは未来永劫に必要とされると考えている。この様な分野にも積極的に参入して行き、新市場を創出したい (図 19)。

一方長い目で見ると夢はいくつも抱いている。例えば、今までのリソグラフィ技術は、これまで述べてきたように大規模・重装備である。ここに新しい DSA 技術等を導入し、産総研で考えているミニマルマニファクチャリングの早期実現をめざしたい [17]。いわゆる「デスクトップクリーンルーム」の実現である。東木氏はこのように

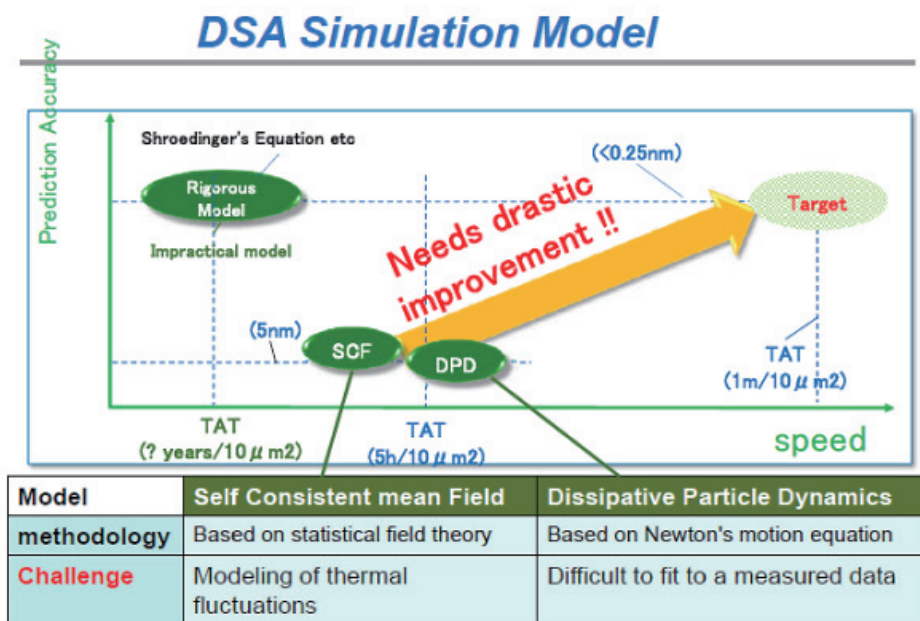


図 18 DSA シミュレーションの精度と計算速度：所要時間 (提供：東芝)



図 19 リソグラフィによる新市場の開拓 (提供：東芝)

語り、社会が求める革新的高効率パターンニング技術開発への強い意欲を示された。

以上のように、東木氏はサブ 10nm リソグラフィ技術の開発とその量産化への適用を目指して邁進しておられるが、氏が漏らした一言「サブ 10nm リソグラフィ技術の大敵はナノパーティクルである」が強く心に残っている。ナノテクノロジープラットホームのような事業の中から、汚染源としてのナノパーティクルを自在に制御・除去できる技術が開発され、東木氏の心配事が解消されることを願っている。



参考文献

- [1] 東木達彦, 「半導体リソグラフィ技術の動向と東芝の取組み」, 東芝レビュー, Vol.67, No.4, p.p.2-6 (2012)
- [2] 株式会社 EUVL 基板開発センター, http://www.eidec.co.jp/index_j.php
「10nm 世代 LSI 実現の鍵を握る EUVL ~ 微細化の追求による限りない価値の創出~」 NanotechJapan Bulletin Vol. 4, No. 6, 2011 年 12 月 7 日, http://nanonet.mext.go.jp/ntjb_pdf/v4n6-1.pdf
- [3] 平岡俊郎, 浅川鋼児, 喜々津哲, 「ナノテクノロジー テラビット磁気記録媒体を実現する新しいナノ加工技術」, 東芝レビュー, Vol.57, No.1, pp. 13-16 (2002)
- [4] 木原尚子, 「自己組織化リソグラフィ技術」, 東芝レビュー, Vol.67, No.4, p.p.44-47 (2012)
- [5] 板倉昭宏, 喜々津哲, 鎌田芳幸, 木原尚子, 「磁気記録媒体, 及びその製造方法」, 特開 2011-233210, (出願人/特許権者: 株式会社東芝)
- [6] 服部繁樹, 浅川鋼児, 中村裕子, 北川良太, 清野由里子, 菅野正洋, 比嘉百夏, 「パターンの形成方法及びポリマーアロイ下地材料」, 特開 2012-33534, (出願人/特許権者: 株式会社東芝)
- [7] KAWANISHI Ayako, SEINO Yuriko, KANNO Masahiro, 「自己組織化リソグラフィによるコンタクトホール縮小技術」, 日本化学会講演予稿集, 92nd, No.1, p. 79 (2012)
- [8] YAMAMOTO R., MAEDA T., 「5T ビット/インチ 2 ビットパターン媒体の有向自己組織化リソグラフィ」, 日本磁気学会学術講演概要集, 36th, p. 239 (2012)
- [9] 服部繁樹, 「化学修飾によって制御した自己組織化リソグラフィ技術」, 東芝レビュー, Vol.66, No.10, p.p.60-61 (2011)
- [10] 堤栄史, 益永くみ, 中西務, 「自己組織化リソグラフィを用いた光透過ナノメッシュ金属電極の作成」, 応用物理学学術講演会講演予稿集, 70th, No.2, p.633 (2009)
- [11] 早川晃鏡, 「シングルナノパターンニングに向けた高分子自己組織化リソグラフィと材料設計」, 機能材料, Vol.33, No.5, p.p. 26-31 (2013)
- [12] 早川晃鏡, 「シルセスキオキサン含有ブロック共重合体による新しい自己組織化リソグラフィ材料の開発」, ネットワークポリマー, Vol.32, No.5, p.p.268-275 (2011)
- [13] 渡邊智, 田村尚也, 秋吉祐里, 「自己組織化リソグラフィを用いた機能性ナノ材料のダイレクトナノパターンニング」, 応用物理学関係連合講演会講演予稿集 (CD-ROM), 58th, 論文番号 24A-CD-5 (2011)
- [14] 早川晃鏡, 「自己組織化リソグラフィに用いる新規 POSS 含有ブロック共重合体の開発」, 高分子学会予稿集 (CD-ROM), Vol.59, No.2 Disk1, 論文番号 2A17IL (2010)
- [15] JUNG Yeon Sik, CHANG J. B., "A Path to Ultranarrow Patters Using Self-Assembled Lithography", Nano Lett, Vol.10, No.3, p.p.1000-1005 (2010)
- [16] Seiji Morita, "Next Generation Lithography Technology using Directed Self Assembly", NGL Workshop, July 16, 2013
- [17] 原史朗, 前川仁, 池田伸一, Somawan Khumpuang, 中野禅, 「LSI 産業を変えるミニマルファブ構想の進展」, 電子情報通信学会誌, Vol. 96, No. 8, pp. 649-655 (2013)
物質・材料研究機構 (監修), ナノテクノロジー・ネットワーク編集委員会 (編), 「グリーンナノテクノロジー 環境・エネルギー問題に挑戦する人々」 pp. 186-19, 2011 年 2 月 25 日, 日刊工業新聞社

(真辺 俊勝)